

# Study on Epitaxial Graphene Channel Field-Effect Transistors on Silicon Substrate

著者	姜 顯?
号	55
学位授与機関	Tohoku University
学位授与番号	工博第4414号
URL	<a href="http://hdl.handle.net/10097/61779">http://hdl.handle.net/10097/61779</a>

氏 名	かん ひょん ちよる 姜 顯 澈
授 与 学 位	博士 (工学)
学位授与年月日	平成22年12月8日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電気・通信工学専攻
学 位 論 文 題 目	Study on Epitaxial Graphene Channel Field-Effect Transistors on Silicon Substrate (シリコン基板上エピタキシャルグラフェンチャネル電界効果型トランジスタに関する研究)
指 導 教 員	東北大学教授 尾辻 泰一
論 文 審 査 委 員	主査 東北大学教授 尾辻 泰一 東北大学教授 末光 眞希 東北大学教授 大野 英男 東北大学准教授 末光 哲也

## 論文内容要旨

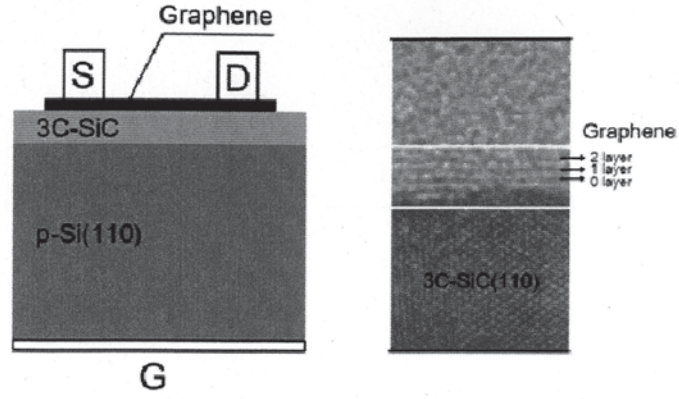
This thesis presents characteristics of backgate and topgate epitaxial graphene channel field-effect transistors fabricated on Si substrates. Chapter 1 is the background of the work.

Chapter 2 is introduction to graphene describing the electronic structure, transport properties, and fabrication and characterization methods of graphene. In particular, the graphene used in this work is formed on the SiC layer grown on Si substrates.

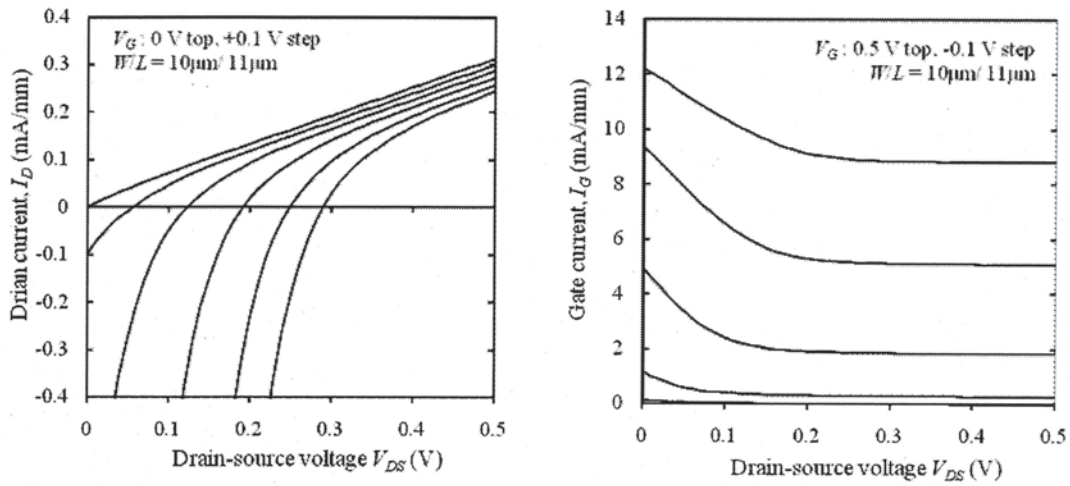
Chapter 3 describes the fabrication and characteristics of the backgate graphene channel FETs (see Fig. 1). The  $I_D$ - $V_{DS}$  and  $I_G$ - $V_{DS}$  characteristics of the FET showed that the measured  $I_D$  includes a component of  $I_G$  (see Fig. 2). To extract intrinsic drain-source current  $I_{DS}$  from the  $I_D$ , a simple current flow model was proposed. The  $I_{DS}$ - $V_{DS}$  characteristics extracted by the model showed an n-channel FET operation of the FET (see Fig. 3 left). With assumption of the FET having an ideal gate capacitor, the effective mobility  $\mu_{eff}$  of the FET was estimated to be  $6200 \text{ cm}^2/\text{V}\cdot\text{s}$  (see Fig. 3 right). Meanwhile, by taking the intrinsic carrier density and the gate-leakage current in the FET in to account,  $\mu_{eff}$  was estimated to be more than  $1000 \text{ cm}^2/\text{V}\cdot\text{s}$  (see Fig. 4 left). The intrinsic transconductance that defined as the changes of  $I_{DS}$  with respect to the effective gate voltage applied to the gate stack was estimated to be  $2.7 \text{ S/mm}$ . An asymmetric ambipolar transport behavior (see Fig. 4 right), which is possibly ascribed to the graphene/SiC/p-Si heterostructure of the FET, was observed in the device.

Chapter 4 describe topgate graphene channel FETs fabricated on p-Si(110) and p-Si(111) substrates and their transistor performances (see Fig. 5). All the FETs exhibited a clear n-type transistor operation by the gate voltage modulation (see Fig. 6). In particular, the drain current  $I_D$  of the FET on Si(111) was by one order of magnitude larger than that on Si(110). The difference in  $I_D$  between both FETs is probably due to the difference of surface roughness of both graphene samples (see Fig. 7). The intrinsic graphene FET performance of both FETs was evaluated using an equivalent electrical circuit suggested for the FET. As a result, field-effect mobility of both intrinsic FETs was found to be much lower than the  $\mu_{eff}$  of the backgate graphene FET (see Table 1). This is probably due to the damage of graphene channel by oxygen plasma during the PECVD-SiN gate stack and/or an additional scattering effect at the SiN/graphene interface.

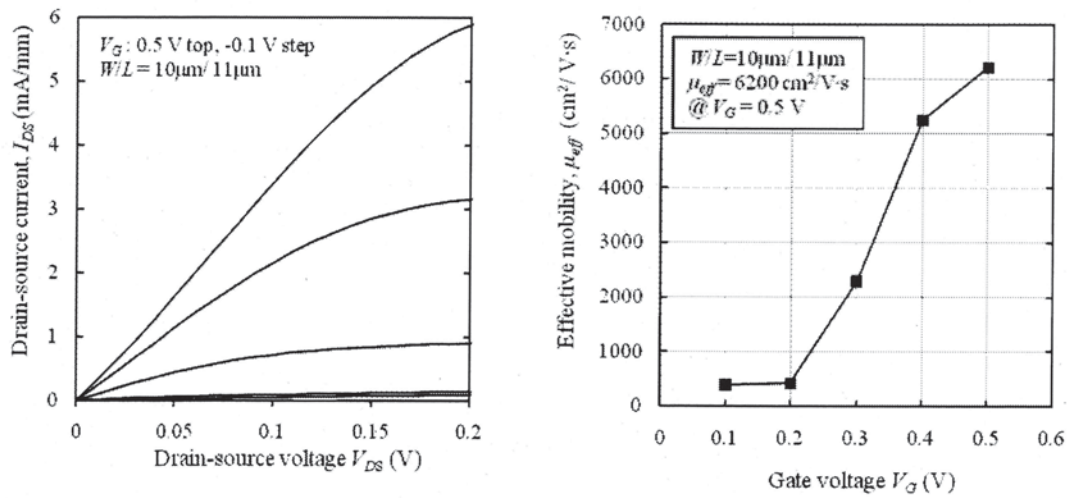
In chapter 5 describes a reduction of the large contact resistance of the FETs to improve the FET performance. The large contact resistance of the FET is possibly due to the poor adhesion between metal and graphene. For evaluation of the metal adhesion to graphene, a new method for evaluation of area contact resistivity was suggested. The cause of the poor metal adhesion on graphene was found to be due to a photoresist residue on graphene. To remove the photoresist residue, a low temperature hydrogen anneal process was proposed. As a result, the area contact resistivity was lowered by two orders of magnitude compared with the former one (see Fig. 8). Chapter 6 is conclusions.



**Fig. 1:** (left) A cross-sectional schematic of backgate epitaxial graphene channel FETs on Si substrates. (right) A cross-sectional TEM image of the graphene sample used in the FETs.

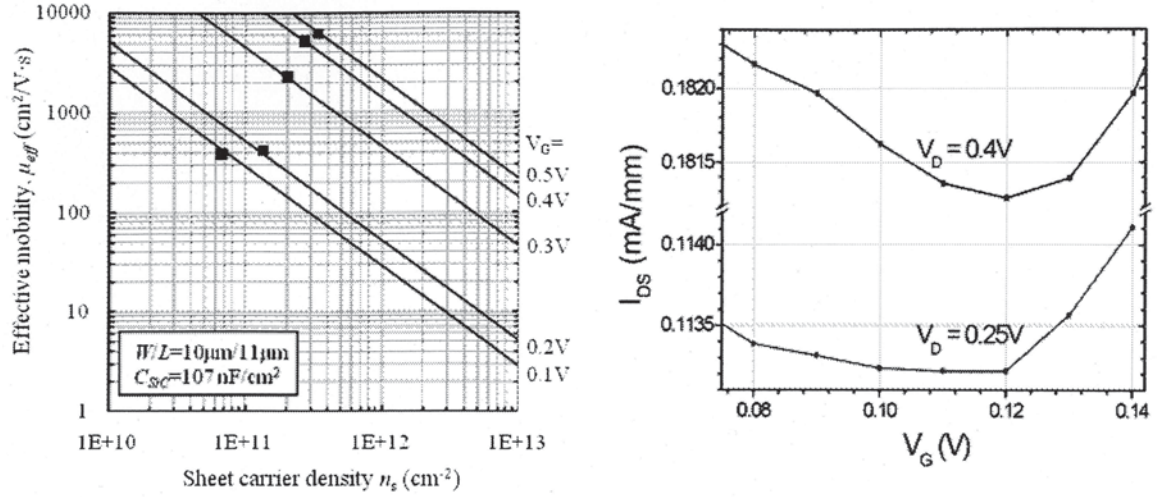


**Fig. 2:** (left) Measured drain current  $I_D$  versus drain voltage  $V_{DS}$  characteristics of the backgate graphene FET on Si substrates ( $V_G$ : 0 V top, +0.1 V step). (right) Measured gate current  $I_G$  versus drain voltage  $V_{DS}$  characteristics of the FET ( $V_G$ : 0.5 V top, -0.1 V step).

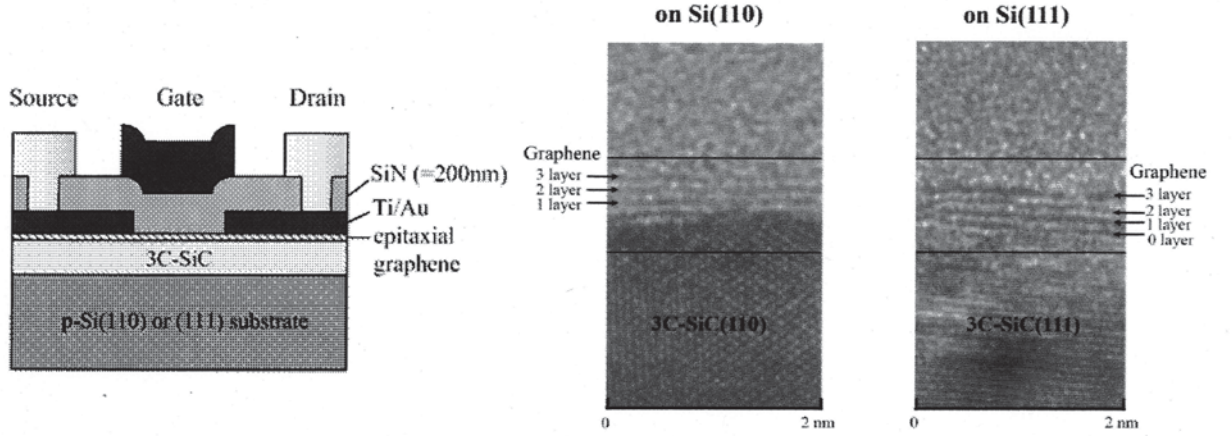


**Figure 3:** (left) Intrinsic drain-source current  $I_{DS}$  versus drain voltage  $V_{DS}$  characteristics of backgate graphene FETs on Si substrates. (right) Effective mobility  $\mu_{eff}$  versus  $V_G$  characteristics obtained by using the ideal gate capacitor equation.

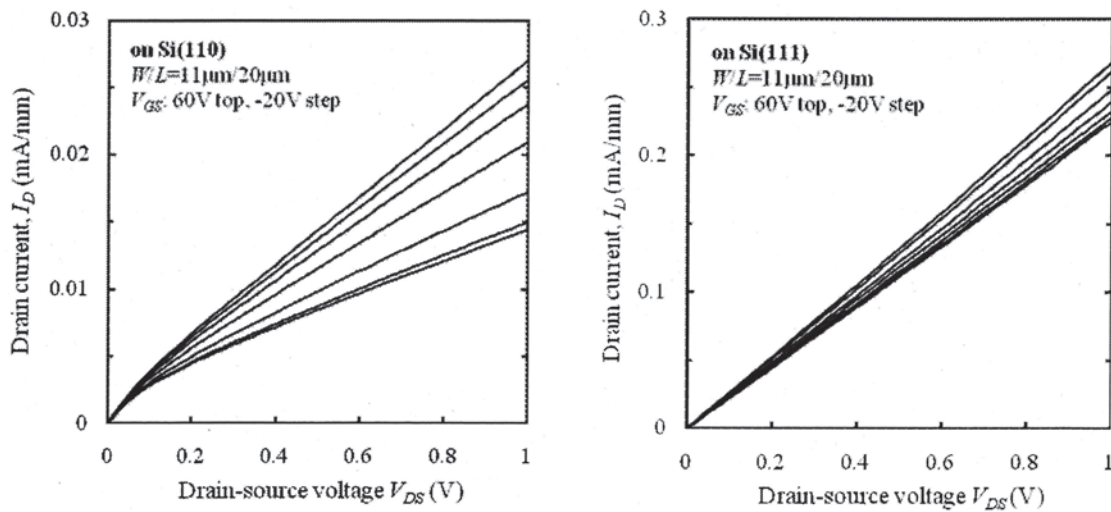




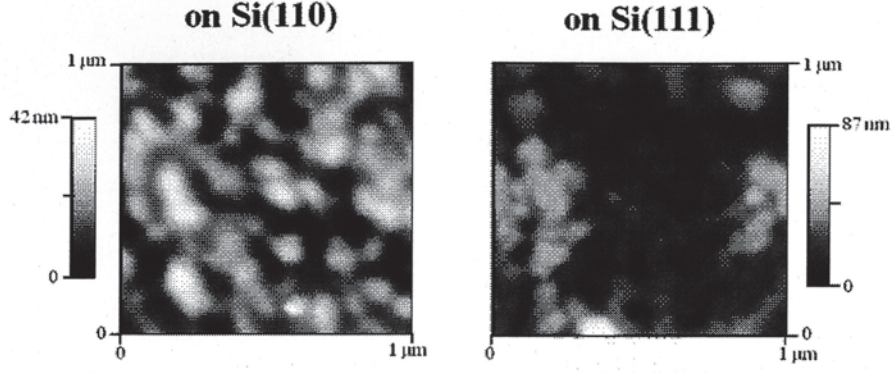
**Fig. 4:** (left) A calculated effective mobility  $\mu_{eff}$  with respect to arbitrary sheet carrier density  $n_s$ , (right) Ambipolar transport behavior with a positive drain voltage. The minimum  $I_{DS}$  appears at the gate voltage at different positive drain voltages (approximately + 0.11 to + 0.12 V), indicating that the graphene channel is p-type doped.



**Fig. 5:** (left) A cross-sectional schematic of topgate epitaxial graphene channel FETs on Si substrates. (right) Cross-sectional TEM images of the graphene samples fabricated on Si(110) and Si(111) substrates.



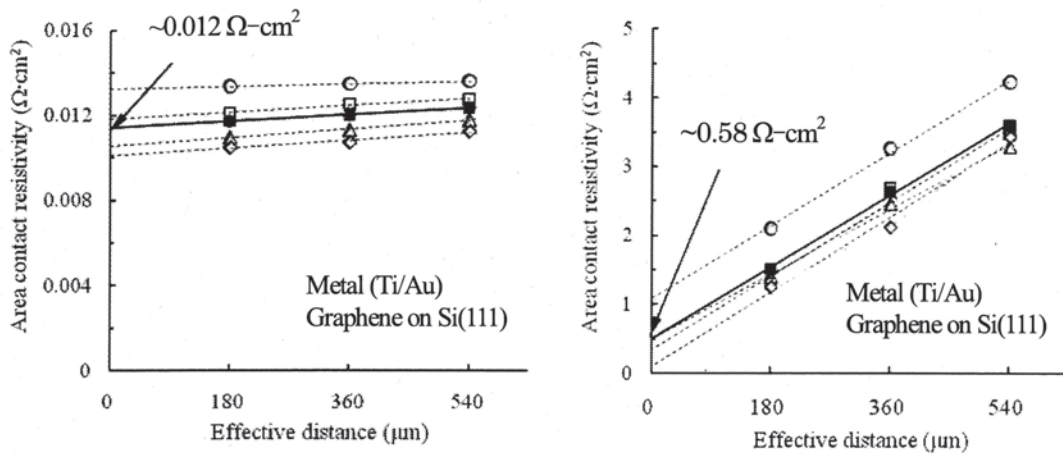
**Fig. 6:** Measured  $I_D$ - $V_{DS}$  characteristics of the topgate graphene FETs on Si(110) (left) and on Si(111) (right). A gate voltage  $V_{GS}$  in both results was swept from 60 V to -60 V with a -20 V step



**Fig. 7:** (left) AFM image of the surface of the epitaxial graphene on Si(110) and on Si(111) (right). From the AFM observation, a root-mean-square roughness is estimated to be 6 nm for the graphene on Si(110) and 1nm for that on Si(111).

**Table 1:** Summary of performance of backgate (TG) and topgate (TG) epitaxial graphene channel field-effect transistors.

Device Parameter	BG-GOSFET	TG-GOSFETs	
	Si(110)	Si(110)	Si(111)
Gate dielectric ( $C_{gate}$ ) W/L	SiC=80nm (107nF/cm <sup>2</sup> ) 11μm/10μm	SiN=200nm (16 nF/cm <sup>2</sup> ) 10μm/10μm	SiN=200nm (16 nF/cm <sup>2</sup> ) 11μm/10μm
$\rho_c$	1.5 kΩ·mm	4.7 kΩ·mm	1.23 kΩ·mm
$(g_{mi})_{max}$ @ $V_{DS} = 0.5$ V	2.7 S/mm	0.23 μS/mm	3.25 μS/mm
$I_{DS}$ @ $(g_{mi})_{max}$	1.1 mA/mm	0.03 mA/mm	0.14 mA/mm
Mobility	$\mu_{eff} > 1000$ cm <sup>2</sup> /Vs	$(\mu_{FE,in})_{max} = 0.6$ cm <sup>2</sup> /Vs	$(\mu_{FE,in})_{max} = 14$ cm <sup>2</sup> /Vs



**Fig. 8:** Effect of the low temperature hydrogen anneal on the reduction of area contact resistivity between metal and graphene: The result of area contact resistivity of the test device fabricated with the hydrogen anneal (left) and without the hydrogen anneal (right).



# 論文審査結果の要旨

単層のグラファイトシートであるグラフェンは、極めて高いキャリア移動度が実現できることから、次世代半導体材料として注目を集めている。特に微細化限界を迎えたシリコン (Si) に代わるチャネル材料としてグラフェン電界効果型トランジスタ (FET) が有望視されている。本論文は、Si 基板上にエピタキシャル成長させた SiC 層の表面を熱分解することによってグラフェンを形成した「グラフェン・オン・シリコン : GOS (Graphene on Silicon)」をチャネル材料に導入した GOS-FET の製造技術、電気的特性解析評価技術、ならびに特性評価結果および特性改善方法に関する研究成果をまとめたもので、全文 6 章よりなる。

第 1 章は、序論である。

第 2 章は、本研究の基盤となるグラフェンの電子物性と輸送特性について考察している。また、グラフェン作製方法の比較を行い、本研究で用いた GOS-FET 作製技術の必要性について論じている。

第 3 章は、基板裏面をゲート電極とするバックゲート形 GOS-FET の作製、評価について述べている。試作 FET の電流電圧特性に含まれるバックゲート漏れ電流を考慮した素子内の電流経路をモデル化し、バックゲート漏れ電流成分を除去したグラフェンチャネルの真性電流電圧特性を抽出した結果、本 FET が n 型トランジスタ動作をしていることを見出すとともに、ゲート長が  $10\ \mu\text{m}$  という大きな寸法にもかかわらず、サブミクロン Si-MOSFET に匹敵する極めて高い真性相互コンダクタンスを示すことを明らかにした。グラフェンのチャネル材料としての優位性を明確に示したことは学術的に意義が高く、真性チャネル領域の電気的特性を抽出する手法の創出は工学的にも有用である。

第 4 章は、グラフェン上にゲート絶縁膜を堆積し、ゲート電極を形成したトップゲート形 GOS-FET の作製、評価について述べている。Si(110)基板と Si(111)基板に成長した 2 種の GOS を用い、両基板間で真性 FET 性能を比較した結果、Si(111)上 GOS-FET は Si(110)上 GOS-FET に比して、ドレイン電流は一桁、相互コンダクタンスは一桁、電界効果移動度は二桁、それぞれ高い値を示すことを明らかにした。さらに、この特性の差異がグラフェン面の平坦性の差異に対応していることを、素子の断面観察等により見出した。真性 FET 領域におけるキャリア移動度と相互コンダクタンスはバックゲート形 GOS-FET に比して大幅に低下したが、この特性劣化の要因として、ゲート絶縁膜形成時のグラフェンチャネルのプラズマ損傷やゲート絶縁膜-グラフェン界面での深い準位の形成等の可能性を考察し、ゲート絶縁膜堆積技術の重要性を論じている。本成果は、Si 基板上エピタキシャルグラフェンを用いて世界に先駆けて FET を実現し、その高い将来性を明らかにすると共に、今後克服されるべき諸課題を明らかにしたものとして、工学的に極めて意義が高い。

第 5 章は、FET の性能向上に必要不可欠な、オーミック電極の形成法と評価方法について述べている。まず、FET の断面観察等により、電極用金属とグラフェンとの密着性が悪く、有効コンタクト面積を小さくしていることがコンタクト高抵抗化の要因であることを明らかにし、電極-グラフェン間密着性評価に適した新しい面コンタクト抵抗評価法を提案している。さらに、密着性向上のプロセス技術として低温水素アニール法を提案し、これをオーミック電極形成工程に導入することにより面コンタクト抵抗を二桁下げること成功した。これらの成果は、GOS-FET 作製要素技術として汎用性が高く、工学的に極めて有用である。

第 6 章は、結論である。

以上要するに本論文は、シリコン基板上エピタキシャルグラフェンチャネル FET の実用化に向けた基礎研究とそのさらなる性能向上のための課題を実験的に明らかにしたものであり、半導体電子工学ならびに電気・通信工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。